



## 

(43) 国際公開日 2003年1月30日(30.01.2003)

**PCT** 

(10) 国際公開番号 WO 03/009365 A1

半導体株式会社 (SHIN-ETSU HANDOTAI CO.,LTD.)

[JP/JP]; 〒100-0005 東京都 千代田区 丸の内一丁目

(51) 国際特許分類7:

H01L 21/322

(21) 国際出願番号:

PCT/JP02/05000

(22) 国際出願日:

2002年5月23日(23.05.2002)

(25) 国際出願の言語:

日本語

(26) 国際公開の言語:

日本語

JP

(30) 優先権データ:

特願2001-209160

2001年7月10日(10.07.2001) JP 2001年9月27日(27.09.2001) JP

特願2001-296743 特願2001-296744

2001年9月27日(27.09.2001) JP

特願2001-296745

2001年9月27日 (27.09.2001)

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 竹野 博 (TAKENO, Hiroshi) [JP/JP]; 〒379-0196 群馬県 安中市 磁部二丁目 1 3 番 1 号 信越半導体株式会社 半導体

(71) 出願人 (米国を除く全ての指定国について): 信越

磯部研究所内 Gunma (JP).

4番2号 Tokyo (JP).

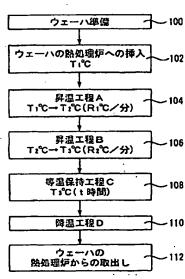
(74) 代理人: 石原 韶二 (ISHIHARA,Shoji); 〒170-0013 東 京都豊島区東池袋3丁目7番8号 若井ビル302号

Tokyo (JP).

[毓葉有]

(54) Title: SILICON WAFER MANUFACTURING METHOD, SILICON EPITAXIAL WAFER MANUFACTURING METHOD, AND SILICON EPITAXIAL WAFER

(54) 発明の名称: シリコンウェーハの製造方法、シリコンエピタキシャルウェーハの製造方法、および、シリコン エピタキシャルウェーハ



(57) Abstract: A silicon wafer or silicon epitaxial wafer manufacturing method for adding an excellent-stability IG capability by realizing both a high density of oxygen precipitate and a large size at the stage before the device process. The silicon wafer manufacturing method in which the silicon wafer is heat-treated so as to impart a gettering capability to the silicon wafer comprises at least three steps: a temperature-increasing step A for forming oxygen precipitation nuclei, a temperature-increasing step B for growing the oxygen precipitation nuclei, and a constant temperature-holding step C for further growing the oxygen precipitate larger.

100...PREPARE WAFER

102...LOAD WAFER INTO HEAT-TREATMENT FURTNACE AT TI°C

104...PERFORM TEMPERATURE-INCREASING STEP A

T1°C T2°C (R1°C/MIN)

106...PERFORM TEMPERATURE-INCREASING STEP B

T2°C T3°C (R2°C/MIN)

108...PERFORM CONSTAANT TEMPERATURE-HOLDING STEP C

To\*C (FOR t TIME)

110...PERFORM TEMPERATURE-DECREAING STEP D

112...UNLOAD WAFER FROM HEAT-TREATMENT FURNACE